



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: the Application of

Takashi MIIDA

Serial No.: 09/774,667

Filed: February 1, 2001

For: METHOD FOR STORING OPTICALLY GENERATED
CHARGES BY OPTICAL SIGNAL IN SOLID STATE
IMAGING DEVICE

RECEIVED

APR 18 2002

Technology Center 2600

CLAIM TO PRIORITY UNDER 35 USC 119

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing dates of the following prior foreign applications filed in JAPAN, under the International (Paris) Convention for the Protection of Industrial Property (Stockholm Act, July 14, 1967), is hereby requested and the right of priority provided in 35 USC 119 is here claimed:

Japanese Application No. 2000-044886 filed February 22, 2000;
Japanese Application No. 2000-237521 filed August 4, 2000;
Japanese Application No. 2000-246416 filed August 15, 2000;
Japanese Application No. 2000-292786 filed September 26, 2000.

In support of this claim to priority certified copies of said original foreign applications are submitted herewith.

Respectfully submitted,

George A. Loud
Reg. No. 25,814

Dated: April 5, 2001

LORUSSO & LOUD
3137 Mount Vernon Avenue
Alexandria, VA 22305

(703) 739-9393

RECEIVED
MAY 15 2001
TC 2800 MAIL ROOM



日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 2月22日

出 願 番 号

Application Number:

特願2000-044886

出 願 人

Applicant (s):

イノテック株式会社

RECEIVED

APR 18 2002

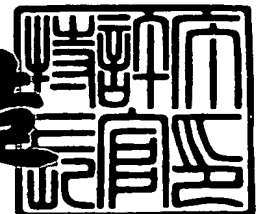
Technology Center 2600

RECEIVED
MAY 15 2001
JC 2800 MAIL ROOM

2001年 1月26日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3001536

【書類名】 特許願

【整理番号】 INV-16

【提出日】 平成12年 2月22日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/14
H04N 5/335

【発明者】

【住所又は居所】 神奈川県横浜市港北区新横浜3丁目17番6号 イノビ
ジョン株式会社内

【氏名】 三井田 ▲高▼

【特許出願人】

【識別番号】 398035800

【氏名又は名称】 イノビジョン株式会社

【代理人】

【識別番号】 100091672

【住所又は居所】 東京都中央区日本橋人形町3丁目11番7号 山西ビル
4階

【弁理士】

【氏名又は名称】 岡本 啓三

【電話番号】 03-3663-2663

【手数料の表示】

【予納台帳番号】 013701

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9808827

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像装置の駆動方法

【特許請求の範囲】

【請求項 1】 受光ダイオード及び該受光ダイオードに隣接する光信号検出用絶縁ゲート型電界効果トランジスタを備えた単位画素を有し、前記絶縁ゲート型電界効果トランジスタの部分はウエル領域内に設けられたドレイン領域と、ソース領域と、前記ドレイン領域と前記ソース領域との間のチャンネル領域と、前記ソース領域の近傍であってチャンネル領域下のウエル領域内に設けられた、前記受光ダイオードで光照射により発生した光発生電荷を蓄積する高濃度埋込層とを有し、前記光発生電荷を前記高濃度埋込層に蓄積して閾値電圧を変調させて光信号を検出する固体撮像素子を有する固体撮像装置を用いて、前記受光ダイオードで光照射により発生した光発生電荷を前記高濃度埋込層に蓄積させる蓄積期間と、前記高濃度埋込層に蓄積された光発生電荷に基づく光信号を読み出す読出期間と、前記高濃度埋込層に残留する光発生電荷を排出する初期化期間とをこの順に繰り返して光信号を読み出す固体撮像装置の駆動方法であって、

前記蓄積期間において、前記絶縁ゲート型電界効果トランジスタのチャンネル領域に前記ウエル領域の導電型と反対の導電型の電荷を蓄積させ、かつ前記ソース領域を高インピーダンスに保持した状態で、前記光発生電荷を前記高濃度埋込層に蓄積させることを特徴とする固体撮像装置の駆動方法。

【請求項 2】 前記蓄積期間において、前記ドレイン領域及びソース領域と前記ウエル領域とで形成された p n 接合が逆バイアスされるように、前記ドレイン領域及びソース領域に電圧を印加することを特徴とする請求項 1 記載の固体撮像装置の駆動方法。

【請求項 3】 前記高濃度埋込層が形成されたソース領域の近辺は、前記ドレイン領域から前記ソース領域に至るチャンネル長方向の一部領域であって、前記ソース領域側であることを特徴とする請求項 1 又は 2 記載の固体撮像装置の駆動方法。

【請求項 4】 前記高濃度埋込層はチャンネル幅方向全域にわたって形成されていることを特徴とする請求項 1 乃至 3 の何れかーに記載の固体撮像装置の駆動

方法。

【請求項 5】 前記絶縁ゲート型電界効果トランジスタのゲート電極はリング状を有し、前記ソース領域は前記ゲート電極によって囲まれた前記ウエル領域の表層に形成され、前記ドレイン領域は前記ゲート電極を囲むように前記ウエル領域の表層に形成されていることを特徴とする請求項 1 乃至 4 の何れかーに記載の固体撮像装置の駆動方法。

【請求項 6】 前記絶縁ゲート型電界効果トランジスタのゲート電極及びその周辺は遮光されていることを特徴とする請求項 1 乃至 5 の何れかーに記載の固体撮像装置の駆動方法。

【請求項 7】 前記固体撮像装置は、前記光信号検出用絶縁ゲート型電界効果トランジスタのゲート電極に走査信号を供給する垂直走査信号駆動走査回路と、

前記絶縁ゲート型電界効果トランジスタのドレイン領域にドレイン電圧を供給するドレイン電圧駆動走査回路と、前記絶縁ゲート型電界効果トランジスタのソース領域の電圧を読み出す走査信号を供給する水平走査信号入力走査回路と、前記光信号を出力する映像信号出力端子とを有することを特徴とする請求項 1 乃至 6 の何れかーに記載の固体撮像装置の駆動方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、固体撮像装置の駆動方法に関し、より詳しくは、ビデオカメラ、電子カメラ、画像入力カメラ、スキャナ又はファクシミリ等に用いられる閾値電圧変調方式の MOS 型イメージセンサを用いた固体撮像装置の駆動方法に関する。

【 0 0 0 2 】

【従来の技術】

CCD 型イメージセンサや MOS 型イメージセンサなどの半導体イメージセンサは量産性に優れているため、パターンの微細化技術の進展に伴い、ほとんどの画像入力デバイス装置に適用されている。

特に、近年、CCD 型イメージセンサと比べて、消費電力が小さく、かつセン

サ素子と周辺回路素子とを同じCMOS技術によって作成できるという利点を生かして、MOS型イメージセンサが見直されている。

【0003】

このような世の中の動向に鑑み、本願出願人はMOS型イメージセンサの改良を行い、光信号検出用MOSトランジスタのチャネル領域下にキャリアポケット（高濃度埋込層）25を有するセンサ素子に関する特許出願（特願平10-186453号）を行って特許（登録番号2935492号）を得ている。

このMOS型イメージセンサは特許（登録番号2935492号）の図8（a）に示す回路構成を有し、その動作においては、図8（b）に示すように、初期化期間－蓄積期間－読出期間を経る。初期化期間に各電極に高い逆電圧を印加して空乏化させ、ホールポケット25に残る光発生正孔を放出させる。蓄積期間に光照射により光発生正孔を生じさせてホールポケット25に蓄積させ、読出期間に光発生正孔の蓄積量に比例した光信号を検出する。

【0004】

また、本願出願人は、この特許（登録番号2935492号）に係る発明に関連して種々の新たな出願を行っているが、それらによれば、図10に示すように、蓄積期間において、図8（b）に示すように、ゲート電極の電位（ V_{PGn} , V_{SCAN} ）を低い電圧、即ち多くは接地電位にし、ドレイン電位（ V_{pdn} , V_{DD} ）及びソース電位（ V_{PSn} , V_{HSCAN} ）をゲート電位より高い電位、即ち多くは凡そ3.3V以上に行っている。このように、光信号検出用MOSトランジスタがカットオフ状態を維持するようにした上で、受光ダイオードで発生した光発生電荷をチャネル領域下のキャリアポケット25に輸送している。

【0005】

【発明が解決しようとする課題】

しかしながら、上記蓄積期間において、ゲート絶縁膜とチャネル領域との界面で界面準位に起因するリーク電流が発生することがある。この場合、リーク電流を構成するキャリアが高濃度埋込層に蓄積されるため、光発生電荷より多くの電荷が蓄積されることになる。このため、映像画面に明るい輝線が生じるという所謂白キズが発生するという問題がある。

【 0 0 0 6 】

本発明は、上記従来技術の問題点に鑑みて創作されたものであり、ゲート絶縁膜とチャネル領域の界面での界面準位に起因するリーク電流を抑制することができる固体撮像装置の駆動方法を提供するものである。

【 0 0 0 7 】

【課題を解決するための手段】

上記課題を解決するため、この発明は固体撮像装置の駆動方法に係り、その駆動方法に用いる固体撮像装置の基本構成として、図 1 に示すように、受光ダイオード 1 1 1 と受光ダイオード 1 1 1 に隣接する光信号検出用の絶縁ゲート型電界効果トランジスタ (MOS トランジスタ) 1 1 2 とを含む各单位画素 1 0 1 を有し、各单位画素 1 0 1 においては、受光ダイオード 1 1 1 と MOS トランジスタ 1 1 2 とは相互に接続したウエル領域 1 5 a、1 5 b に形成され、MOS トランジスタ 1 1 2 のソース領域の周辺部のウエル領域 1 5 b 内に光発生電荷を蓄積する高濃度埋込層 (キャリアポケット) 2 5 を有していることを特徴としている。

【 0 0 0 8 】

本発明の固体撮像装置の駆動方法においては、上記固体撮像装置を用いて、光照射により発生した光発生電荷を高濃度埋込層に蓄積させる蓄積期間と、高濃度埋込層に蓄積された光発生電荷に基づく光信号を読み出す読出期間と、高濃度埋込層に残留する光発生電荷を排出する初期化期間とをこの順に繰り返して光信号を読み出す固体撮像装置の駆動方法であって、蓄積期間において、絶縁ゲート型電界効果トランジスタのチャネル領域に前記ウエル領域の導電型と反対の導電型の電荷を蓄積させ、かつ前記ソース領域を高インピーダンスに保持した状態で、光発生電荷を高濃度埋込層に蓄積させることを特徴としている。

【 0 0 0 9 】

特に、蓄積期間において、ドレイン領域及びソース領域とウエル領域とで形成された p n 接合が逆バイアスされるように、ドレイン領域及びソース領域に電圧を印加している。

以下に、上記構成により奏される作用・効果を説明する。

蓄積期間において、絶縁ゲート型電界効果トランジスタのチャネル領域に前記

ウエル領域の導電型と反対の導電型の電荷を蓄積させ、かつ前記ソース領域を高インピーダンスに保持した状態で、光発生電荷を高濃度埋込層に蓄積させている。

【 0 0 1 0 】

p 型のウエル領域の場合、チャネル領域内にウエル領域の導電型と反対の導電型の十分な電荷、即ち十分な電子が蓄積されることになる。このため、界面準位の正孔発生中心は非活性化されて、界面準位からの正孔の放出、即ちリーク電流が抑制される。これにより、光発生電荷以外の正孔の高濃度埋込層への蓄積が抑制されて、映像画面において所謂白キズの発生を防止することができる。

【 0 0 1 1 】

なお、ウエル領域等が上記と逆の導電型の場合、即ち高濃度埋込層が n 型の場合、高濃度埋込層はエレクトロンポケット（キャリアポケット）となり、光発生電子を蓄積することになる。

【 0 0 1 2 】

【発明の実施の形態】

以下に、本発明の実施の形態について図面を参照しながら説明する。

図 5 は、本発明の実施の形態に係る MOS 型イメージセンサの単位画素内における素子レイアウトについて示す平面図である。

図 5 に示すように、単位画素 1 0 1 内に、受光ダイオード 1 1 1 と光信号検出用 MOS トランジスタ 1 1 2 とが隣接して設けられている。MOS トランジスタ 1 1 2 として、低濃度ドレイン構造（LDD 構造）を有する n チャネル MOS（nMOS）を用いている。

【 0 0 1 3 】

これら受光ダイオード 1 1 1 と MOS トランジスタ 1 1 2 は、それぞれ異なるウエル領域、即ち第 1 のウエル領域 1 5 a と第 2 のウエル領域 1 5 b に形成され、それらのウエル領域 1 5 a、1 5 b は互いに接続されている。受光ダイオード 1 1 1 の部分の第 1 のウエル領域 1 5 a は光照射による電荷の発生領域の一部を構成している。MOS トランジスタ 1 1 2 の部分の第 2 のウエル領域 1 5 b はこの領域 1 5 b に付与するポテンシャルによってチャネルの閾値電圧を変化させる

ことができるゲート領域を構成している。

【 0 0 1 4 】

MOSトランジスタ112の部分は低濃度ドレイン（LDD）構造を有している。ドレイン領域17a、17bはリング状のゲート電極19の外周部を取り囲むように形成され、ソース領域16はリング状のゲート電極19の内周に囲まれるように形成されている。

低濃度のドレイン領域17aが延在して低濃度のドレイン領域17aとほぼ同じ不純物濃度を有する受光ダイオード111の不純物領域17が形成されている。即ち、不純物領域17と低濃度のドレイン領域17aとは互いに接続した第1及び第2のウエル領域15a、15bの表層に大部分の領域がかかるように一体的に形成されている。また、不純物領域17と低濃度のドレイン領域17aの外側周辺部には受光部を避けて低濃度ドレイン領域17aに接続するようにコンタクト層としての高濃度のドレイン領域17bが形成されている。

【 0 0 1 5 】

さらに、このMOS型イメージセンサの特徴であるキャリアポケット（高濃度埋込層）25は、ゲート電極19下の第2のウエル領域15b内であって、ソース領域16の周辺部に、ソース領域16を取り囲むように形成されている。

ドレイン領域17a、17bは低抵抗のコンタクト層17bを通してドレイン電圧（VDD）供給線（又はドレイン電極）22と接続され、ゲート電極19は垂直走査信号（VSCAN）供給線21に接続され、ソース領域16は垂直出力線（又はソース電極）20に接続されている。

【 0 0 1 6 】

また、受光ダイオード111の受光窓24以外の領域は金属層（遮光膜）23により遮光されている。

上記のMOS型イメージセンサにおける光信号検出のための素子動作においては、蓄積期間－読出期間－掃出期間（初期化期間）－蓄積期間・・・というように、蓄積期間－読出期間－掃出期間（初期化期間）という一連の過程が繰り返される。なお、この実施の形態ではブランキング期間を設けている。

【 0 0 1 7 】

蓄積期間では、光照射によりキャリアを発生させ、キャリアのうち正孔（ホール）を第1及び第2のウエル領域15a、15b内を移動させてキャリアポケット25に蓄積させる。この場合、ドレイン領域17a、17bに凡そ+1.6Vの正の電圧を印加するとともに、ソース領域16を高インピーダンス状態に保持する。ゲート電極19にMOSトランジスタ112のチャネル領域に十分な電子が蓄積されるような凡そ+2.2Vの正の電圧を印加する。結果的にソース領域16もドレイン領域17a、17bと同じ凡そ+1.6Vの正の電圧が印加されることになる。この蓄積期間は、第1及び第2のラインメモリにそれぞれ記憶させた光信号により変調した第1のソース電位と光信号がはいる前の第2のソース電位との差の電圧を出力させる期間でもある。

【0018】

読出期間では、キャリアポケット25に蓄積された光発生電荷によるMOSトランジスタ112の閾値電圧の変化をソース電位の変化として読み取り、第1のラインメモリに記憶させる。MOSトランジスタ112が飽和状態で動作するように、ドレイン領域17a、17bに凡そ+2～3Vの正の電圧を印加するとともに、ゲート電極19に凡そ+2～3Vの正の電圧を印加する。

【0019】

掃出期間では、光発生電荷（光発生キャリア）を蓄積する前に、読み出しが終わって残留する光発生電荷や、アクセプタやドナー等を中性化し、或いは表面準位に捕獲されている正孔や電子等、光信号の読み出し前の残留電荷を半導体内から排出して、キャリアポケット25を空にする。ソース領域16やドレイン領域17a、17bやゲート電極19に約+5V以上の正の高電圧を印加する。

【0020】

ブランキング期間では、掃出期間と蓄積期間の間に水平走査の折返しに必要な期間であり、この期間を利用してキャリアポケット25から光発生電荷を掃き出した状態での第2のソース電位を第2のラインメモリに記憶させる。

次に、本発明の実施の形態に係るMOS型イメージセンサのデバイス構造を断面図を用いて説明する。

【0021】

図 6 (a) は、図 5 の A - A 線に沿う断面図に相当する、本発明の実施の形態に係る MOS 型イメージセンサのデバイス構造について示す断面図である。図 6 (b) は、半導体基板表面に沿うポテンシャルの様子を示す図である。

図 6 (a) に示すように、不純物濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 以上の p 型シリコンからなる基板 1 1 上に不純物濃度 $1 \times 10^{15} \text{ cm}^{-3}$ 程度の n 型シリコンをエピタキシャル成長し、エピタキシャル層 1 2 を形成する。

【 0 0 2 2 】

このエピタキシャル層 1 2 に受光ダイオード 1 1 1 と光信号検出用 MOS トランジスタ 1 1 2 とを含む単位画素 1 0 1 が複数形成されている。そして、各単位画素 1 0 1 を分離するように、隣接する単位画素 1 0 1 間のエピタキシャル層 1 2 表面に、選択酸化 (LOCOS) によりフィールド絶縁膜 (素子分離絶縁膜) 1 4 が形成されている。さらに、フィールド絶縁膜 1 4 の下部であって基板 1 1 上部に、エピタキシャル層 3 1 とフィールド絶縁膜 1 4 との界面全体を含み、かつ n 型のエピタキシャル層 1 2 を分離するように p 型の素子分離領域 1 3 が形成されている。

【 0 0 2 3 】

次に、受光ダイオード 1 1 1 の詳細について図 6 (a) により説明する。

受光ダイオード 1 1 1 は、エピタキシャル層 1 2 と、エピタキシャル層 1 2 の表層に形成された p 型の第 1 のウェル領域 1 5 a と、第 1 のウェル領域 1 5 a の表層からエピタキシャル層 1 2 の表層に延在する n 型の不純物領域 1 7 とで構成されている。

【 0 0 2 4 】

不純物領域 1 7 は、低濃度ドレイン (LDD) 構造を有する光信号検出用 MOS トランジスタ 1 1 2 の低濃度のドレイン領域 1 7 a から延在するように形成されている。

上記説明した蓄積期間において、不純物領域 1 7 はドレイン電圧供給線 2 2 に接続されて正の電位にバイアスされる。このとき、不純物領域 1 7 と第 1 のウェル領域 1 5 a との境界面から空乏層が第 1 のウェル領域 1 5 a 全体に広がり、n 型のエピタキシャル層 1 2 に達する。一方、基板 1 1 とエピタキシャル層 1 2 と

の境界面から空乏層がエピタキシャル層 1 2 に広がり、第 1 のウエル領域 1 5 a に達する。

【 0 0 2 5 】

第 1 のウエル領域 1 5 a やエピタキシャル層 1 2 は MOS トランジスタ 1 1 2 のゲート領域 1 5 b と繋がっているため、光により発生したこれらのホールを MOS トランジスタ 1 1 2 の閾値電圧変調用の電荷として有効に用いることができる。言い換えれば、第 1 のウエル領域 1 5 a 及びエピタキシャル層 1 2 全体が光によるキャリア発生領域となる。

【 0 0 2 6 】

また、上記の受光ダイオード 1 1 1 においては不純物領域 1 7 の下に光によるキャリア発生領域が配置されているという点で、受光ダイオード 1 1 1 は光により発生した正孔（ホール）に対する埋め込み構造を有している。従って、捕獲準位の多い半導体層表面に影響されず、雑音の低減を図ることができる。

次に、光信号検出用 MOS トランジスタ 1 1 2 の詳細について図 6 (a) により説明する。

【 0 0 2 7 】

MOS トランジスタ 1 1 2 部分は、下から順に、p 型の基板 1 1 と、この基板 1 1 上に形成された n 型のエピタキシャル層 1 2 と、このエピタキシャル層 1 2 内に形成された p 型の第 2 のウエル領域 1 5 b とを有している。

この MOS トランジスタ 1 1 2 はリング状のゲート電極 1 9 の外周を n 型の低濃度のドレイン領域 1 7 a が囲むような構造を有する。n 型の低濃度のドレイン領域 1 7 a は n 型の不純物領域 1 7 と一体的に形成されている。低濃度のドレイン領域 1 7 a から延在する不純物領域 1 7 の外側周辺部には、この不純物領域 1 7 と接続し、素子分離領域 1 3 及び素子分離絶縁膜 1 4 にまで延びる高濃度のドレイン領域 1 7 b が形成されている。高濃度のドレイン領域 1 7 b はドレイン電極 2 2 のコンタクト層となる。

【 0 0 2 8 】

また、リング状のゲート電極 1 9 によって囲まれるように n 型のソース領域 1 6 が形成されている。ソース領域 1 6 は、中央部が高濃度となっており、周辺部

が低濃度となっている。ソース電極 20 はソース領域 16 に接続している。

ゲート電極 19 は、ドレイン領域 17 a とソース領域 16 の間の第 2 のウエル領域 15 b 上にゲート絶縁膜 18 を介して形成されている。ゲート電極 19 下の第 2 のウエル領域 15 b の表層がチャネル領域となる。さらに、通常の動作電圧において、チャネル領域を反転状態或いはデプレッション状態に保持するため、チャネル領域に適当な濃度の n 型不純物を導入してチャネルドープ層 15 c を形成している。

【 0 0 2 9 】

そのチャネル領域の下の第 2 のウエル領域 15 b 内であってチャネル長方向の一部領域に、即ちソース領域 16 の周辺部であって、ソース領域 16 を囲むように、p+ 型のキャリアポケット（高濃度埋込層）25 が形成されている。この p+ 型のキャリアポケット 25 は、例えばイオン注入法により形成することができる。キャリアポケット 25 は表面に生じるチャネル領域よりも下側の第 2 のウエル領域 15 b 内に形成される。キャリアポケット 25 はチャネル領域にかからないように形成することが望ましい。

【 0 0 3 0 】

上記した p+ 型のキャリアポケット 25 では、キャリアポケット 25 周辺部のウエル領域 15 a、15 b 内のポテンシャルに比べて不純物濃度を高くしているため、光発生電荷のうち光発生ホールに対して、キャリアポケット 25 周辺部のポテンシャルに比べてキャリアポケット 25 のポテンシャルが低くなる。これにより、光発生ホールをこのキャリアポケット 25 に集めることができる。

【 0 0 3 1 】

図 6（b）に光発生ホールがキャリアポケット 25 に蓄積し、チャネル領域に電子が誘起されて反転領域が生じている状態のポテンシャル図を示す。この蓄積電荷により、MOS トランジスタ 112 の閾値電圧が変化する。従って、光信号の検出は、この閾値電圧の変化を検出することにより行うことができる。

ところで、上記したキャリアの掃出期間においては、ゲート電極 19 に高い電圧を印加し、それによって生じる電界によって第 2 のウエル領域 15 b に残るキャリアを基板 11 側に掃き出している。この場合、印加した電圧によって、チャ

ネル領域のチャネルドープ層 1 5 c と第 2 のウエル領域 1 5 b との境界面から空乏層が第 2 のウエル領域 1 5 b に広がり、また、p 型の基板 1 1 とエピタキシャル層 1 2 との境界面から空乏層が第 2 のウエル領域 1 5 b の下のエピタキシャル層 1 2 に広がる。従って、ゲート電極 1 9 に印加した電圧による電界の及ぶ範囲は、主として第 2 のウエル領域 1 5 b 及び第 2 のウエル領域 1 5 b の下のエピタキシャル層 1 2 にわたる。

【 0 0 3 2 】

次に、図 2 を参照して上記の構造の単位画素を用いた MOS 型イメージセンサの全体の構成について説明する。図 2 は、本発明の実施の形態における MOS 型イメージセンサの回路構成図を示す。

図 2 に示すように、この MOS 型イメージセンサは、2 次元アレーセンサの構成を採っており、上記した構造の単位画素 1 0 1 が列方向及び行方向にマトリクス状に配列されている。

【 0 0 3 3 】

また、垂直走査信号 (VSCAN) の駆動走査回路 1 0 2 及びドレイン電圧 (VDD) の駆動走査回路 1 0 3 が画素領域を挟んでその左右に配置されている。

垂直走査信号供給線 2 1 a, 2 1 b は垂直走査信号 (VSCAN) の駆動走査回路 1 0 2 から行毎に一つずつでている。各垂直走査信号供給線 2 1 a, 2 1 b は行方向に並ぶ全ての単位画素 1 0 1 内の MOS トランジスタ 1 1 2 のゲートに接続されている。

【 0 0 3 4 】

また、ドレイン電圧供給線 (VDD 供給線) 2 2 a, 2 2 b はドレイン電圧 (VDD) の駆動走査回路 1 0 3 から行毎に一つずつでている。各ドレイン電圧供給線 (VDD 供給線) 2 2 a, 2 2 b は、行方向に並ぶ全ての単位画素 1 0 1 内の光信号検出用 MOS トランジスタ 1 1 2 のドレインに接続されている。

また、列毎に異なる垂直出力線 2 0 a, 2 0 b が設けられて、各垂直出力線 2 0 a, 2 0 b は列方向に並ぶ全ての単位画素 1 0 1 内の MOS トランジスタ 1 1 2 のソースにそれぞれ接続されている。

【 0 0 3 5 】

さらに、MOSトランジスタ112のソース領域は列毎に垂直出力線20a、20bを通して信号出力回路105と接続している。そして、図3に示すように、ソース領域は上記の信号出力回路105内の入力キャパシタからなるラインメモリと直結している。ソース領域に定電流源などの能動負荷を接続していないことを特徴としている。

【0036】

垂直走査信号(VSCAN)及び水平走査信号(HSCAN)により、逐次、各单位画素101のMOSトランジスタ112を駆動して光の入射量に比例した、残留電荷によるノイズ成分を含まない映像信号(V_{out})が信号出力回路105から読み出される。

上記の信号出力回路105の詳細を図3に示す。図3に示すように、光信号検出用MOSトランジスタ112のソース領域と接続した垂直出力線20aは分岐し、一つは第1のスイッチCK1を介して光信号電圧と光発生電荷の蓄積前の残留電荷による雑音電圧とを含む第1のソース電位を記憶する第1のラインメモリLmsの一端子と接続し、他は第3のスイッチCK3を介して上記雑音電圧のみを記憶する第2のラインメモリLmnの一端子と接続している。

【0037】

また、第1のラインメモリLmsの一端子はHSCAN供給線27aにより制御される第2のスイッチCK2を介して第1の演算増幅器31の負入力端子に接続し、第2のラインメモリLmnの一端子はHSCAN供給線27aにより制御される別の第4のスイッチCK4を介して第1の演算増幅器31の正入力端子に接続している。さらに、第1の演算増幅器31の正出力端子は第2の演算増幅器32の負入力端子に接続し、第1の演算増幅器31の負出力端子は第2の演算増幅器32の正入力端子に接続している。第2の演算増幅器32の出力端子は水平出力線26を通して映像信号出力端子107に接続している。

【0038】

第1の演算増幅器31の負入力端子と正出力端子の間に帰還キャパシタCfs及びリセットスイッチRSTsが並列接続され、正入力端子と負出力端子の間に帰還キャパシタCfn及びリセットスイッチRSTnが並列接続されている。

また、第1及び第2のラインメモリ L_{ms} 、 L_{mn} にプリセット電圧 V_{mpr} を印加するための回路を有する。これにより、第1及び第2のラインメモリ L_{ms} 、 L_{mn} にソース電位を記憶させる前に、接地電位よりも高く、かつ記憶させるソース電位よりも低いプリセット電圧を記憶させておき、光信号検出用絶縁ゲート型電界効果トランジスタ112のゲート電極19に接地電位を印加しているときにも確実に絶縁ゲート型電界効果トランジスタ112の動作を抑え、リーク電流を抑制することができる。

【0039】

第1及び第2のスイッチ CK_1 、 CK_2 と第1のラインメモリ L_{ms} と、帰還キャパシタ C_{fs} 及びリセットスイッチ RST_s が接続された部分の第1の演算増幅器31と、第2の演算増幅器32とは第1のスイッチトキャパシタ回路を構成している。また、第3及び第4のスイッチ CK_3 と CK_4 と第2のラインメモリ L_{mn} と、帰還キャパシタ C_{fn} 及びリセットスイッチ RST_n が接続された部分の第1の演算増幅器31と、第2の演算増幅器32とは第2のスイッチトキャパシタ回路を構成している。

【0040】

上記信号出力回路105内のスイッチ類 ($CK_1 \sim CK_6$ 、 RST_s 、 RST_n) は、該当配線路を開閉することを機能的に示すため図3のような形で模式的に示しているが、実際にはこの実施の形態に説明した回路動作が適切に行われるようにMOSトランジスタ等を単独で又は組み合わせて用いる。

この実施の形態では、第1及び第2のスイッチトキャパシタ回路で一つの第1の演算増幅器31を共用しており、これによりコモンモードノイズを低減させる効果があるが、場合により別々の演算増幅器を設けてもよい。この場合、別々の演算増幅器はそれぞれ正及び負入力端子を有するが、各々の演算増幅器における正及び負入力端子のうち負入力端子にラインメモリが接続され、正入力端子の方は接地電位にセットしておく。

【0041】

図1は、本発明に係るMOS型イメージセンサを動作させるための各入出力信号のタイミングチャートを示す。また、図4は本発明に係るMOS型イメージセ

ンサを動作させるための信号出力回路 1 0 5 内の各入出力信号のタイミングチャートを示す。この場合、p 型の第 1 及び第 2 のウエル領域 1 5 a, 1 5 b を用い、かつ光信号検出用 MOS トランジスタ 1 1 2 が n MOS の場合に適用する。

【 0 0 4 2 】

次に、図 1 及び図 4 にしたがって、一連の連続した固体撮像素子の光検出動作を簡単に説明する。光検出動作は、前記したように、蓄積期間－読出期間－掃出期間（初期化期間）からなる一連の過程を繰り返し行う。ここでは、都合上、蓄積期間から説明を始める。

まず、蓄積期間において、光信号検出用 MOS トランジスタ 1 1 2 のドレイン領域 1 7 a、1 7 b 及びソース領域 1 6 に接地電位よりも高く、かつドレイン領域 1 7 a、1 7 b 及びソース領域 1 6 とウエル領域 1 5 b とで形成された p n 接合が逆バイアスされるように、図 8 に示すように、ドレイン領域 1 7 a、1 7 b に電圧、例えば約 1. 6 V (VDD) を印加するとともに、ソース領域 1 6 を高インピーダンスの状態、例えばフローティングの状態に保持する。また、ゲート電極 1 9 にドレイン電位及びソース電位に対してチャネル領域が空乏化せず、十分な電子密度を持って電子が蓄積されるようなゲート電圧、例えば 2. 2 V を印加する。これにより、図 8 及び図 9 に示すように、チャネル領域には十分な電子密度の電子が蓄積され、ソース領域 1 6 はドレイン領域 1 7 a、1 7 b とチャネル領域を通して繋がり、ソース領域 1 6 にはドレイン領域 1 7 a、1 7 b の電圧と同じ電圧約 1. 6 V (VDD) が印加される。

【 0 0 4 3 】

このとき、第 1 のウエル領域 1 5 a、第 2 のウエル領域 1 5 b 及びエピタキシャル層 1 2 内が空乏化する。そして、第 1 及び第 2 のウエル領域 1 5 a、1 5 b 内には高濃度埋込層 2 5 とその周辺部のウエル領域 1 5 a、1 5 b との間の不純物濃度の差により高濃度埋込層 2 5 に向かう電界が生じる。

続いて、受光ダイオード 1 1 1 に光を照射して、電子－正孔対（光発生電荷）を発生させる。

【 0 0 4 4 】

上記電界によりこの光発生電荷のうち光発生ホールが光信号検出用 MOS トラ

ンジスタ 1 1 2 のゲート領域 1 5 b に注入され、かつキャリアポケット 2 5 に蓄積される。これにより、チャネル領域からその下のゲート領域 1 5 b に広がる空乏層幅が制限されるとともに、そのソース領域 1 6 付近のポテンシャルが変調されて、MOS トランジスタ 1 1 2 の閾値電圧が変化する。

【 0 0 4 5 】

蓄積期間において、チャネル領域を反転させて十分な電子を蓄積させることによりゲート絶縁膜 1 8 とチャネル領域の界面での界面準位の正孔発生中心は非活性化されて、界面準位からの正孔の放出、即ちリーク電流が抑制される。これにより、光発生電荷以外の正孔の高濃度埋込層への蓄積が抑制され、映像画面において所謂白キズの発生を防止することができる。

【 0 0 4 6 】

なお、蓄積期間において、ラインメモリ L_{ms} 、 L_{mn} に記憶されたソース電位の差の電圧が映像信号出力端子 1 0 7 に出力されるが、この動作に関してはブランキング期間の後に説明することにする。

次に、読出期間の前半において、VSCAN 駆動走査回路 1 0 2 の出力 (V_{PGn}) を接地電位 (MOS トランジスタ 1 1 2 のゲート電位となる) とする。同時に、信号出力回路 1 0 5 の第 1 のスイッチ CK 1 を閉じるとともにプリチャージスイッチ CK 5 を閉じて第 1 のラインメモリ L_{ms} にプリセット電圧 V_{mpr} (1. 6 V (MOS トランジスタ 1 1 2 のソース電位となる)) を記憶させておく。一方、VDD 駆動走査線 2 2 a は凡そ 3. 3 V に保たれている。

【 0 0 4 7 】

次に、読出期間の後半において、VSCAN 駆動走査回路 1 0 2 の出力 (V_{PGn}) を凡そ 2. 2 V (MOS トランジスタ 1 1 2 のゲート電位となる) とする。一方、VDD 駆動走査線 2 2 a は凡そ 3. 3 V (MOS トランジスタ 1 1 2 のドレイン電位となる) に保たれている。

即ち、ゲート電極 1 9 に MOS トランジスタ 1 1 2 が飽和状態で動作しうる約 2 ~ 3 V のゲート電圧を印加し、ドレイン領域 1 7 a、1 7 b に MOS トランジスタ 1 1 2 が動作しうる約 3. 3 V の電圧 VDD を印加する。これにより、キャリアポケット 2 5 上方のチャネル領域の一部に低電界の反転領域が形成され、チ

ャネル領域の残りの部分に高電界領域が形成される。このとき、MOSトランジスタ 1 1 2 のドレイン電圧－電流特性は、図 7 に示すように、飽和特性を示す。

【 0 0 4 8 】

これにより、図 4 (a) に示すように、第 1 のラインメモリ L_{ms} が充電されていく。そして、充電が進むにつれてソース電位が上昇していき、ソース電位が閾値電圧に等しくなったところでドレイン電流が流れなくなる。これにより、充電は完了し、第 1 のラインメモリ L_{ms} に光変調された閾値電圧（ソース電位 V_{outS} ）が記憶される。この閾値電圧には光発生電荷のみによる電圧の他に光発生電荷によらない電荷に起因した電圧（即ち雑音電圧（ V_{outN} ）と称する。）も含んでいる。

【 0 0 4 9 】

読出期間の終了後、第 1 のスイッチ CK_1 及びプリチャージスイッチ CK_5 を開放する。

次に、初期化動作に移る。初期化動作においてはキャリアポケット 2 5 内、第 1 及び第 2 のウエル領域 1 5 a , 1 5 b 内に残る電荷を排出する。即ち、ドレインの電位を約 5 V とし、かつゲート電極 1 9 の電位を 5 V とする。

【 0 0 5 0 】

このとき、ゲート電極 1 9 に印加した電圧は第 2 のウエル領域 1 5 b 及び第 2 のウエル領域 1 5 b の下のエピタキシャル層 1 2 にかかる。このとき発生する高電界により第 2 のウエル領域 1 5 b から確実にキャリアを掃き出すことができる。

高濃度埋込層 2 5 に蓄積された光発生電荷を排出した後、蓄積期間の前のブランキング期間の前半において、 V_{SCAN} 駆動走査回路 1 0 2 の出力（ V_{PGn} ）を接地電位（MOSトランジスタ 1 1 2 のゲート電位となる）とし、同時に V_{DD} 駆動走査回路 1 0 3 の出力（ V_{pdn} ）を 3. 3 V（MOSトランジスタ 1 1 2 のドレイン電位となる）とする。また、プリチャージスイッチ CK_6 と第 3 のスイッチ CK_3 を閉じて、絶縁ゲート型電界効果トランジスタ 1 1 2 のソース領域に第 2 のラインメモリ L_{mn} を接続する。これにより、第 2 のラインメモリ L_{mn} にプリセット電圧 V_{mpr} （1. 6 V（MOSトランジスタ 1 1 2 のソー

ス電位となる)) を記憶させておく。

【 0 0 5 1 】

次に、ブランキング期間の後半において、VSCAN駆動走査回路102の出力(VPGn)を凡そ2.2V(MOSトランジスタ112のゲート電位となる)とする。一方、VDD駆動走査線22aは凡そ3.3Vに保たれている。

これにより、キャリアポケット25上方のチャネル領域の一部に低電界の反転領域が形成され、チャネル領域の残りの部分に高電界領域が形成される。このとき、MOSトランジスタ112のソースにドレイン電流が流れて、ドレイン電圧-電流特性は、図7に示すように、閾値電圧に従って飽和特性を示す。これにより、図4(a)に示すように、第2のラインメモリLmnが充電されていく。充電が進むにつれてソース電位が上昇していき、ソース電位が閾値電圧に等しくなったところでドレイン電流が流れなくなる。これにより、充電は完了し、第2のラインメモリLmnに光発生電荷によらない残留電荷に起因した雑音電圧(VoutN)が記憶される。

【 0 0 5 2 】

ブランキング期間の終了後、第2のスイッチCK2及びプリチャージスイッチCK6を開放する。

次いで、蓄積期間に戻るが、このときに蓄積動作を行うとともに、ラインメモリLms、Lmnに記憶されているソース電位VoutS、VoutNの差の電圧を出力する動作を行う。以下に、ソース電位を出力する動作を説明する。

【 0 0 5 3 】

即ち、第2のスイッチCK2及び第4のスイッチCK4を閉じて、両ラインメモリLms、Lmnに記憶させたソース電位VoutS、VoutNを第1の演算増幅器31の負入力端子と正入力端子にそれぞれ入力させる。このとき、リセットスイッチRSTs及びRSTnはともに開放されている。これにより、各ラインメモリLms、Lmnの電荷は各帰還キャパシタCfs、Cfnに移動し、第1の演算増幅器31の正及び負出力端子にそれぞれ-VoutS、-VoutNが出力する。

【 0 0 5 4 】

この-VoutS、-VoutNは、第2の演算増幅器32の負入力端子及び正出力端

子にそれぞれ入力されて、第 2 の演算増幅器 3 2 の出力端子から V_{outS} 、 V_{outN} の差の電圧 ($V_{outS} - V_{outN}$) が出力される。

このようにして、光照射量に比例した映像信号 ($V_{out} = V_{outS} - V_{outN}$) を取り出すことができる。

【 0 0 5 5 】

以上のように、この発明の実施の形態によれば、蓄積期間において、絶縁ゲート型電界効果トランジスタ 1 1 2 のチャネル領域を反転させた状態で、光発生電荷を高濃度埋込層 2 5 に蓄積させている。これにより、リーク電流が抑制され、映像画面において所謂白キズの発生を防止することができる。

さらに、蓄積動作—読出動作—掃出動作（初期化動作）の一連の過程において、光発生ホールが移動するときに、半導体表面やチャネル領域内の雑音源と相互作用しない理想的な光電変換機構を実現することができる。

【 0 0 5 6 】

以上、実施の形態によりこの発明を詳細に説明したが、この発明の範囲は上記実施の形態に具体的に示した例に限られるものではなく、この発明の要旨を逸脱しない範囲の上記実施の形態の変更はこの発明の範囲に含まれる。

例えば、上記の実施の形態では、蓄積期間においてチャネル領域の反転状態を形成するために、特に、ドレイン領域 1 7 a、1 7 b 及びソース領域 1 6 とウエル領域 1 5 b とで形成された p n 接合が逆バイアスされるように、ドレイン領域 1 7 a、1 7 b 及びソース領域 1 6 に電圧を印加しているが、場合により、ドレイン領域 1 7 a、1 7 b 及びソース領域 1 6 に接地電圧を印加してもよい。

【 0 0 5 7 】

また、信号出力回路内でソース領域 1 6 に入力キャパシタからなるラインメモリ L_{ms} 、 L_{mn} を直結しているが、ラインメモリに並列に定電流源を接続し、ソースフォロワ接続としてもよい。この場合、スイッチトキャパシタ回路を設けなくてもよい。

また、p 型の基板 1 1 上の n 型のエピタキシャル層 1 2 内に第 1 及び第 2 のウエル領域 1 5 a、1 5 b を形成しているが、n 型のエピタキシャル層 1 2 の代わりに、p 型のエピタキシャル層に n 型不純物を導入して n 型ウエル層を形成し、

このn型ウエル層内に第1及び第2のウエル領域15a、15bを形成してもよい。

【0058】

さらに、この発明が適用される固体撮像素子の構造として種々の変形例が考えられるが、他の構造はどうであれ、受光ダイオードと光信号検出用のMOSトランジスタとが隣接して単位画素を構成し、かつMOSトランジスタのチャネル領域下のp型のウエル領域内であってソース領域の近傍に高濃度埋込層（キャリアポケット）が設けられていればよい。

【0059】

さらに、p型の基板11を用いているが、代わりにn型の基板を用いてもよい。この場合、上記実施の形態と同様な効果を得るためには、上記実施の形態等で説明した各層及び各領域の導電型をすべて逆転させればよい。この場合、キャリアポケット25に蓄積すべきキャリアは電子及び正孔のうち電子である。

【0060】

【発明の効果】

以上のように、本発明によれば、蓄積期間において、絶縁ゲート型電界効果トランジスタのチャネル領域にウエル領域の導電型と反対の導電型の電荷を蓄積させ、かつ前記ソース領域を高インピーダンスに保持した状態で、光発生電荷を高濃度埋込層に蓄積させている。

【0061】

このように、チャネル領域内にウエル領域の導電型と反対の導電型の十分な電荷が蓄積されることにより、界面準位の電荷発生中心は非活性化されて、界面準位からの電荷の放出、即ちリーク電流が抑制される。これにより、光発生電荷以外の電荷の高濃度埋込層への蓄積が抑制されて、映像画面において所謂白キズの発生を防止することができる。

【図面の簡単な説明】

【図1】

本発明の実施の形態に係る固体撮像装置の駆動方法について示すタイミングチャートである。

【図 2】

図 1 の駆動方法に用いられる固体撮像装置の全体の回路構成を示す図である。

【図 3】

図 2 の固体撮像装置の信号出力回路の詳細構成を示す回路図である。

【図 4】

図 3 の信号出力回路を動作させる際のタイミングチャートである。

【図 5】

本発明の実施の形態に係る固体撮像装置に用いられる固体撮像素子の単位画素内の素子レイアウトを示す平面図である。

【図 6】

(a) は、本発明の実施の形態に係る固体撮像装置に用いられる固体撮像素子の単位画素内の素子の構造を示す、図 5 の A - A 線に沿う断面図である。(b) は、光発生ホールがキャリアポケットに蓄積し、チャネル領域に電子が誘起されて反転領域が生じている状態のポテンシャルの様子を示す図である。

【図 7】

本発明の実施の形態に係る固体撮像装置に用いられる固体撮像素子の光信号検出用 MOS トランジスタのドレイン電流 - 電圧特性を示すグラフである。

【図 8】

(a) は、本発明の実施の形態に係る固体撮像装置の駆動方法において蓄積期間での電圧の印加方法及びそのときの光信号検出用 MOS トランジスタの状態を示す断面図であり、(b) は、比較例において蓄積期間での電圧の印加方法及びそのときの光信号検出用 MOS トランジスタの状態を示す断面図である。

【図 9】

本発明の実施の形態に係る固体撮像装置の駆動方法の蓄積期間における、光検出用 MOS トランジスタのチャネル領域及びその近傍でのエネルギーバンドの状態を示す図である。

【図 10】

従来例に係る固体撮像装置の駆動方法を示すタイミングチャートである。

【符号の説明】

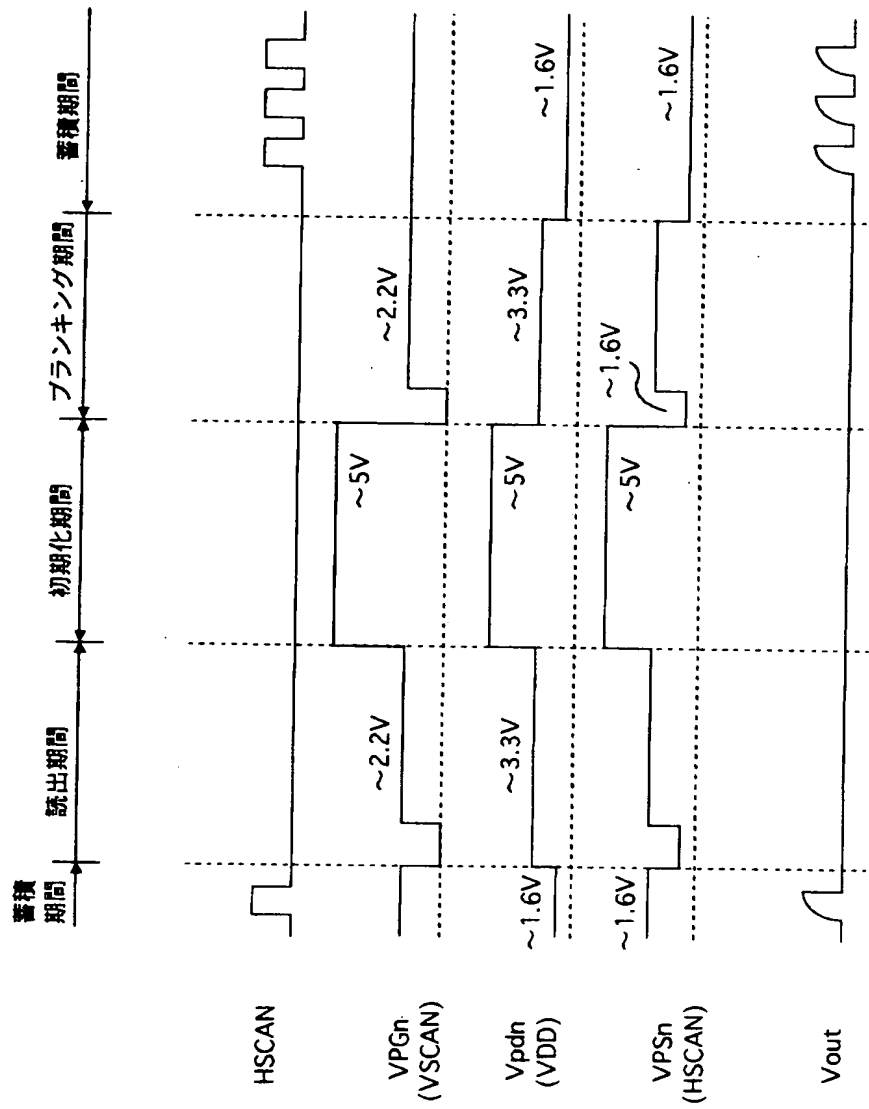
- 1 5 a 第 1 のウエル領域
- 1 5 b 第 2 のウエル領域
- 1 5 c チャネルドープ層
- 1 6 a 低濃度のソース領域
- 1 6 b 高濃度のソース領域（コンタクト層）
- 1 7 不純物領域
- 1 7 a 低濃度のドレイン領域
- 1 7 b 高濃度のドレイン領域（コンタクト層）
- 1 8 ゲート絶縁膜
- 1 9 ゲート電極
- 2 0 a、2 0 b 垂直出力線
- 2 1 a、2 1 b V S C A N 供給線
- 2 2 a、2 2 b V D D 供給線
- 2 5 キャリアポケット（高濃度埋込層）
- 2 6 水平出力線
- 2 7 a、2 7 b H S C A N 供給線
- 3 0 a、3 0 b 昇圧電圧供給線
- 3 1 第 1 の演算増幅器
- 3 2 第 2 の演算増幅器
- 1 0 1 単位画素
- 1 0 2 V S C A N 駆動走査回路
- 1 0 3 V D D 駆動走査回路
- 1 0 4 H S C A N 入力走査回路
- 1 0 5 信号出力回路
- 1 0 7 映像信号出力端子
- 1 0 8 昇圧走査回路
- 1 1 1 受光ダイオード
- 1 1 2 光信号検出用絶縁ゲート型電界効果トランジスタ（光信号検出用 M O S トランジスタ）

CK 1 第 1 のスイッチ
CK 2 第 2 のスイッチ
CK 3 第 3 のスイッチ
CK 4 第 4 のスイッチ
CK 5、CK 6 プリチャージスイッチ
L m s 第 1 のラインメモリ
L m n 第 2 のラインメモリ
R S T s、R S T n リセットスイッチ

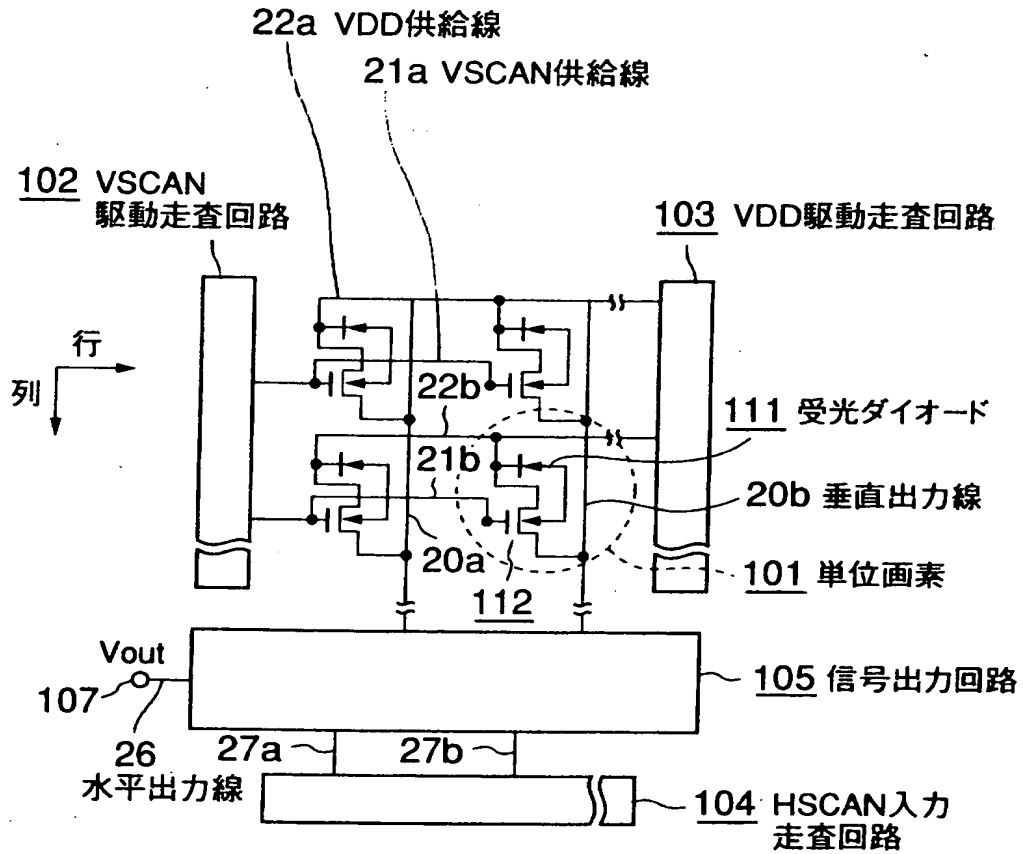
【書類名】

図面

【図 1】



【図 2】

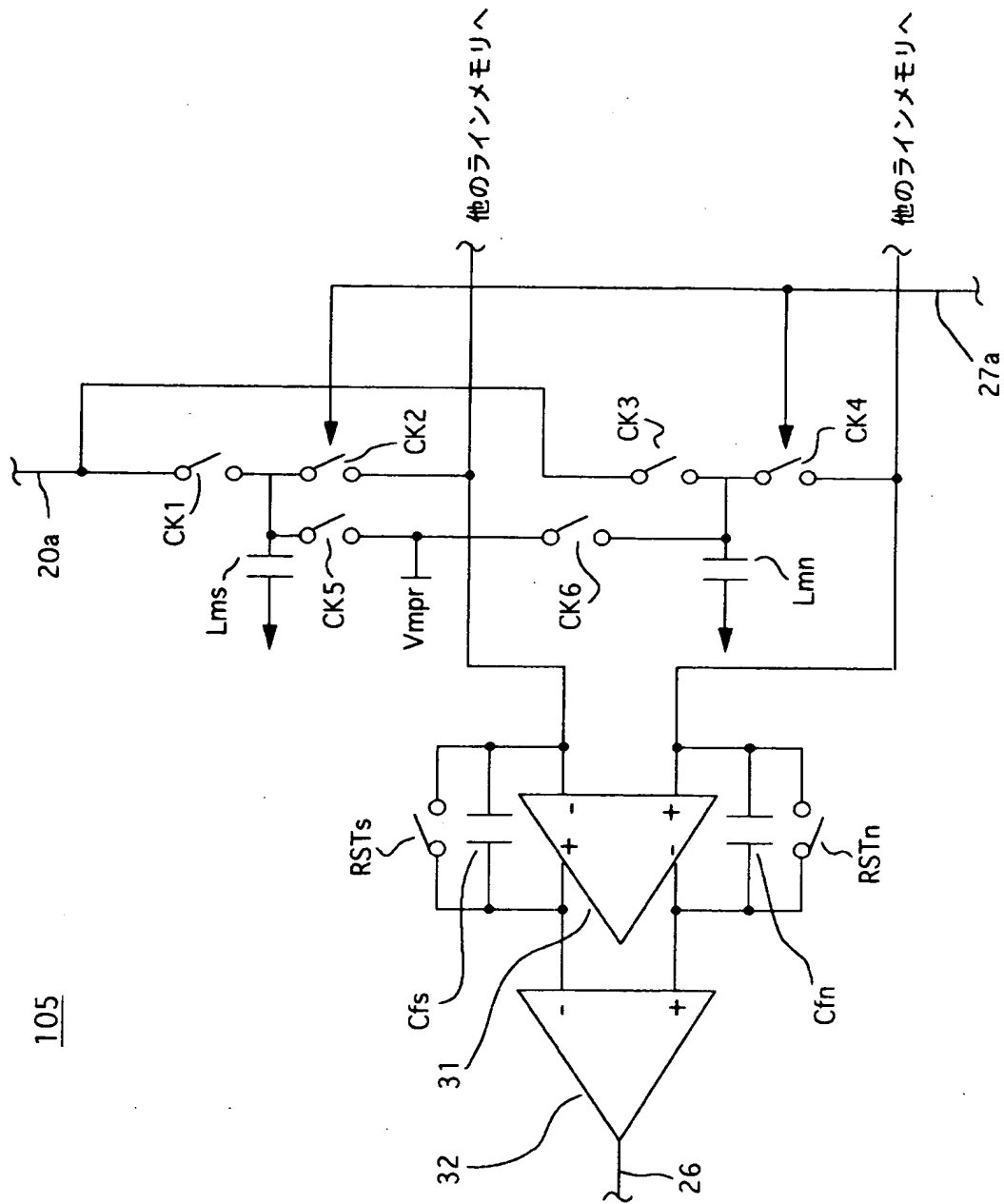


27a,27b: HSCAN供給線

107: 映像信号出力端子

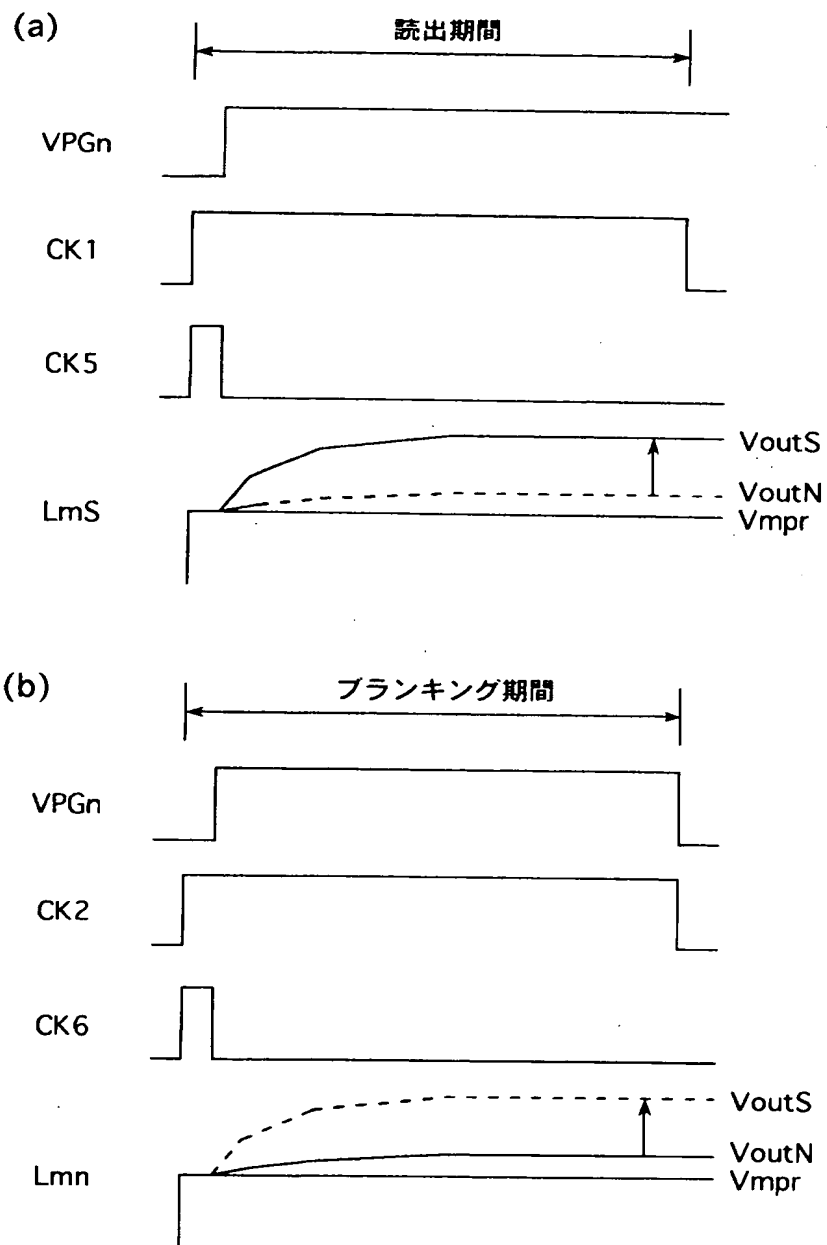
112: 光信号検出用MOSTランジスタ

【図 3】

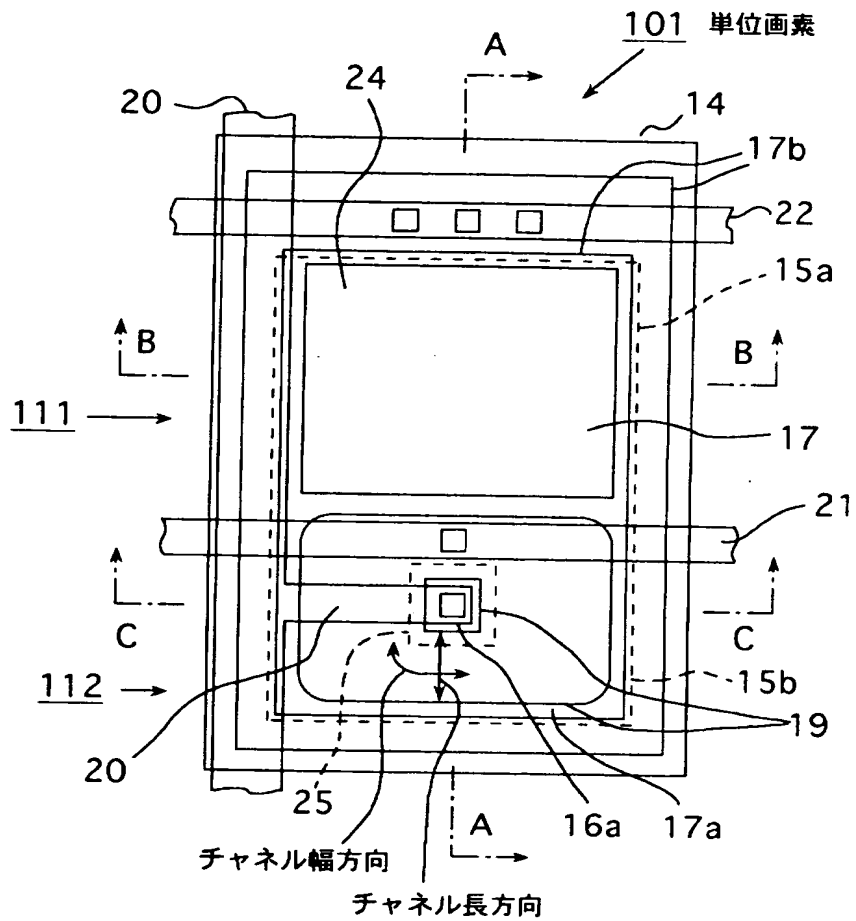


105

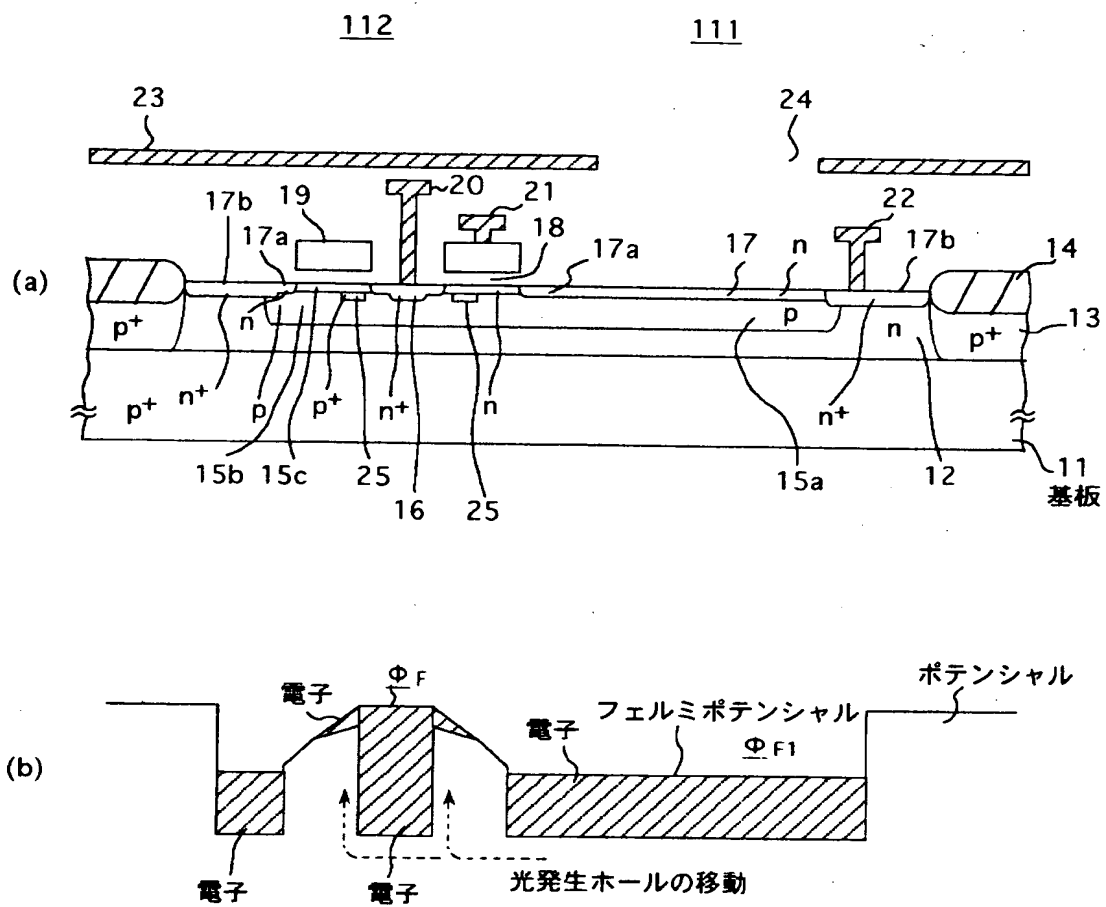
【図 4】



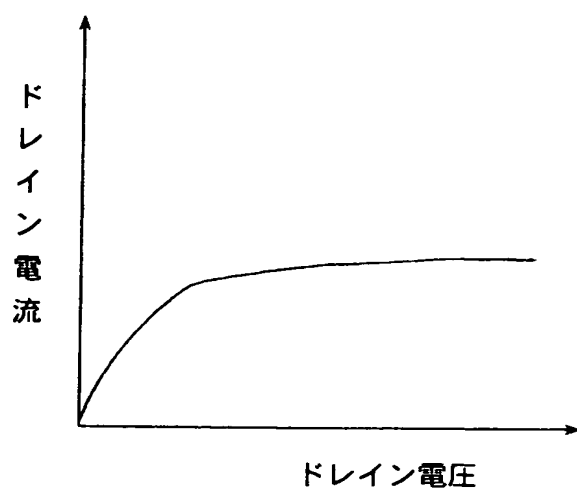
【図 5】



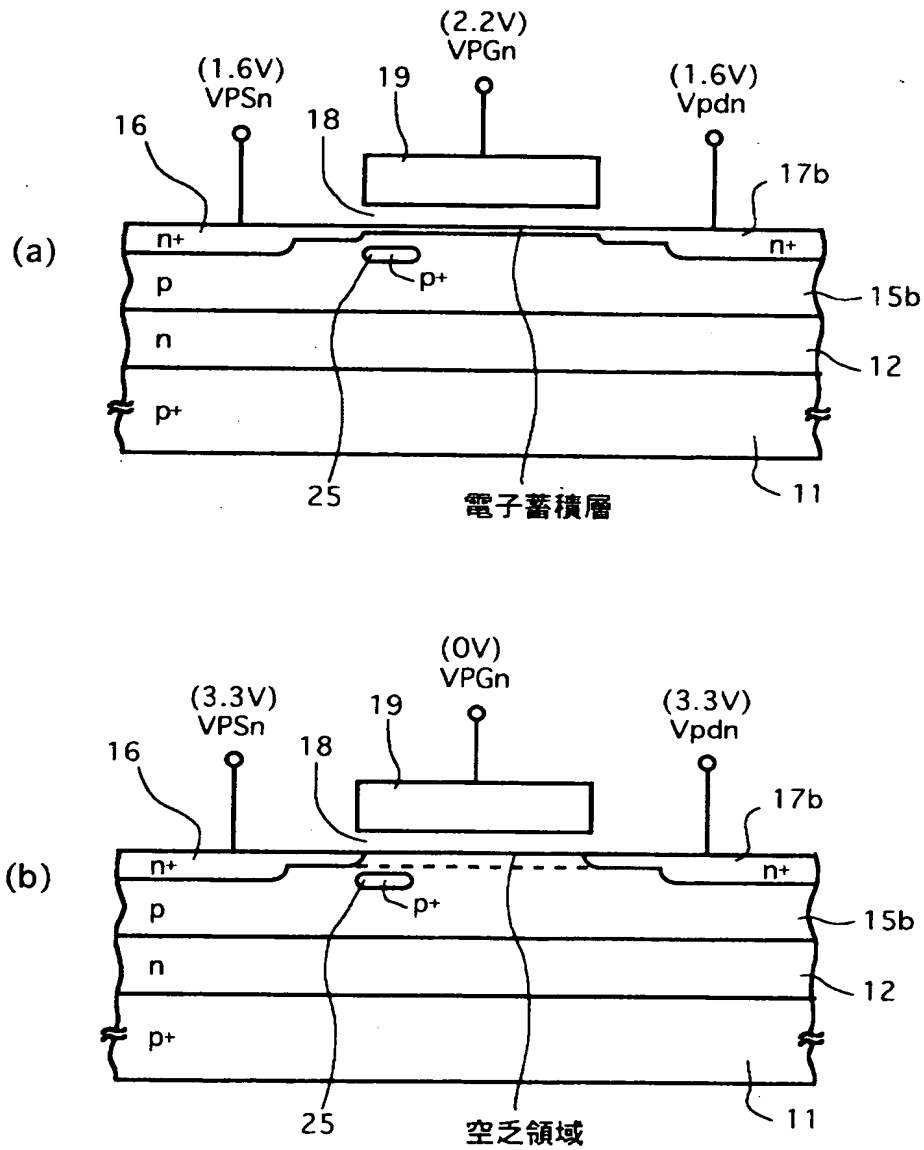
【図 6】



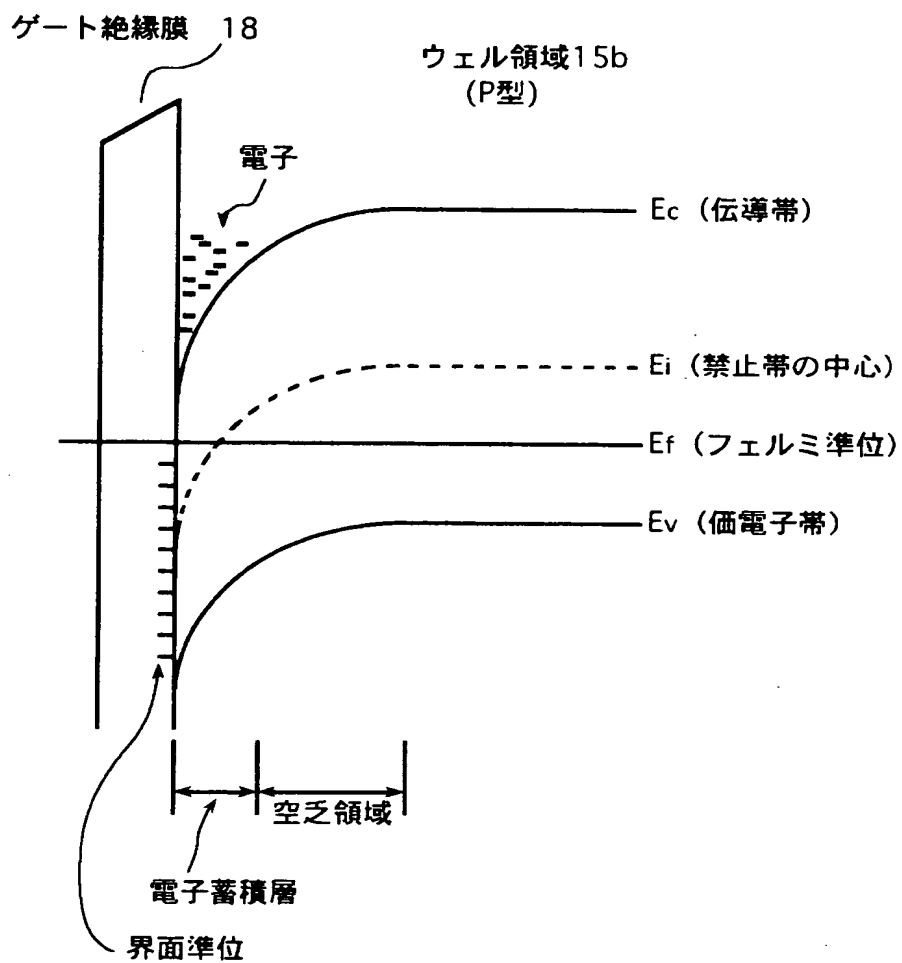
【図 7】



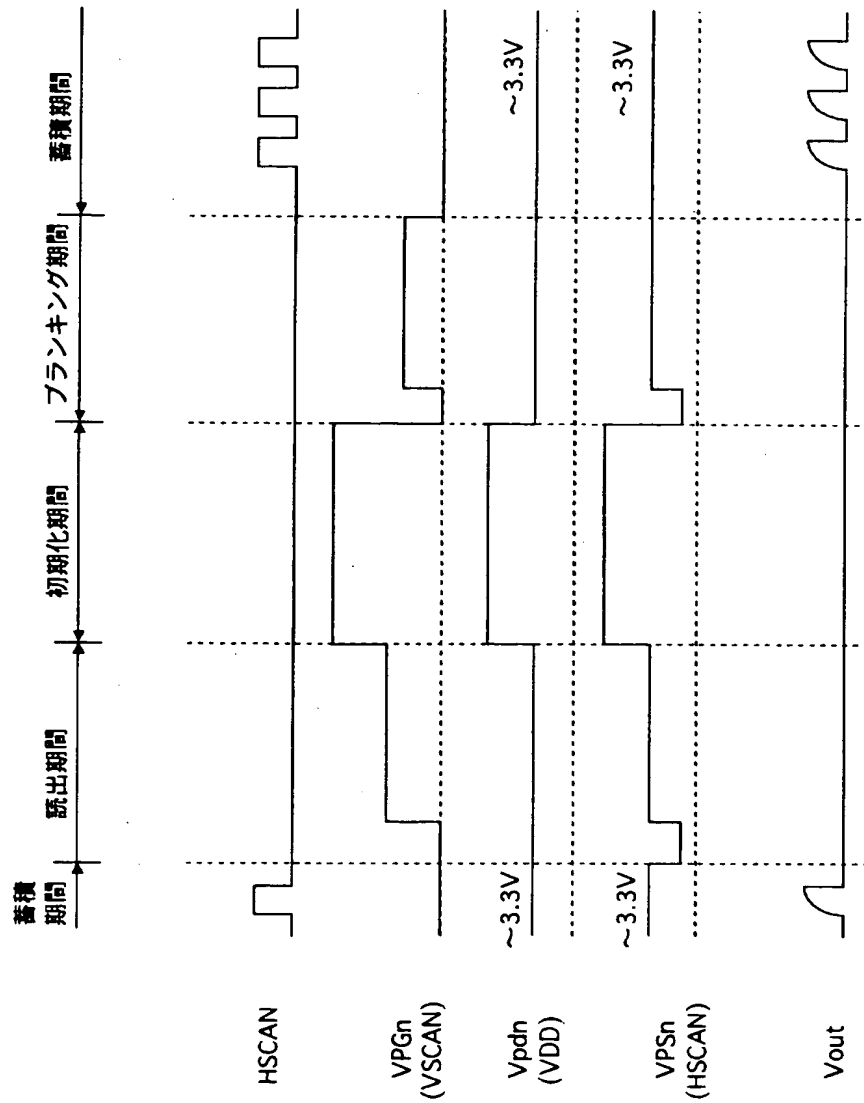
【図 8】



【図 9】



【図 1 0】



【書類名】 要約書

【要約】

【課題】 ゲート絶縁膜とチャネル領域の界面での界面準位に起因するリーク電流を抑制する。

【解決手段】 受光ダイオードで光照射により発生した光発生電荷を高濃度埋込層に蓄積させる蓄積期間と、高濃度埋込層に蓄積された光発生電荷に基づく光信号を読み出す読出期間と、高濃度埋込層に残留する光発生電荷を排出する初期化期間とをこの順に繰り返して光信号を読み出す固体撮像装置の駆動方法であって、蓄積期間において、絶縁ゲート型電界効果トランジスタのチャネル領域にウェル領域の導電型と反対の導電型の電荷を蓄積させ、かつソース領域を高インピーダンスに保持した状態で、光発生電荷を高濃度埋込層に蓄積させることを特徴とする。

【選択図】 図 1

【書類名】 出願人名義変更届
【整理番号】 INV-16
【提出日】 平成12年 6月23日
【あて先】 特許庁長官殿
【事件の表示】
 【出願番号】 特願2000- 44886
【承継人】
 【識別番号】 593102345
 【氏名又は名称】 イノテック株式会社
【承継人代理人】
 【識別番号】 100091672
 【弁理士】
 【氏名又は名称】 岡本 啓三
【手数料の表示】
 【予納台帳番号】 013701
 【納付金額】 4,200円
【提出物件の目録】
 【包括委任状番号】 0005447
【ブルーフの要否】 要

出 願 人 履 歴 情 報

識別番号 [398035800]

1. 変更年月日 1999年11月25日

[変更理由] 住所変更

住 所 神奈川県横浜市港北区新横浜3丁目17番6号
氏 名 イノビジョン株式会社

出 願 人 履 歴 情 報

識別番号 [593102345]

1. 変更年月日 1999年 1月21日

 [変更理由] 住所変更

 住 所 神奈川県横浜市港北区新横浜3-17-6

 氏 名 イノテック株式会社